

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-78626

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04
21/822

H 0 1 L 27/ 04

C

審査請求 未請求 請求項の数 4 F D (全 6 頁)

(21) 出願番号 特願平6-239442

(22) 出願日 平成6年(1994)9月6日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 鈴木 正明

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

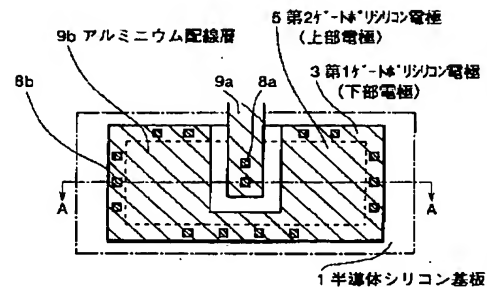
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体集積回路

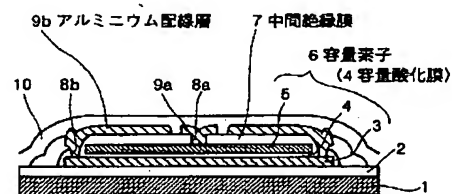
(57) 【要約】

【目的】 モールド樹脂等の外乱に対するシールド効果が
高く、しかも容量素子間や信号配線からの干渉を低減し
得る半導体集積回路を提供する。

【構成】 基板1上に形成された下部電極3と、下部電
極3の上に形成された容量誘電体膜4と、容量誘電体膜
4の上に形成された上部電極5とからなる容量素子6を
備えた半導体集積回路である。上部電極5の上に、上部
電極5との間に絶縁層7を介して下部電極3に導通する
配線層9bのパターンが形成されている。配線層9bの
パターンがグランド電位とされている。



(a)



(b)

本発明の第一の実施例を説明するための図

【特許請求の範囲】

【請求項1】 基板上に形成された下部電極と、該下部電極の上に形成された容量誘電体膜と、該容量誘電体膜の上に形成された上部電極とからなる容量素子を備えた半導体集積回路において、前記上部電極の上に、該上部電極との間に絶縁層を介して前記下部電極に導通する配線層のパターンが形成されてなることを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、前記配線層のパターンがグランド電位とされていることを特徴とする半導体集積回路。

【請求項3】 基板上に形成された下部電極と、該下部電極の上に形成された容量誘電体膜と、該容量誘電体膜の上に形成された上部電極とからなる容量素子を備えた半導体集積回路において、前記上部電極の上に、該上部電極との間に第1の絶縁層を介して前記下部電極に導通する第1の配線層のパターンが形成され、該第1の配線層のパターンの上に、第2の絶縁層を介して前記下部電極に導通する第2の配線層のパターンが形成されてなることを特徴とする半導体集積回路。

【請求項4】 請求項3記載の半導体集積回路において、前記第1の配線層のパターン、および第2の配線層のパターンが共にグランド電位とされていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は容量素子を有する半導体集積回路にかかり、特に高精度アナログ集積回路として好適に用いられる半導体集積回路に関する。

【0002】

【従来の技術】容量素子を有する半導体集積回路では、容量素子の上面を保護絶縁膜で覆うことにより、湿気等外気による素子特性の劣化を防いでいる。ところが、近年では半導体集積回路の微細化、高密度化に伴い、例えば保護絶縁膜の上に設けられるモールド樹脂の不均一に起因した浮遊容量のばらつきによる影響を容量素子が受け易くなっており、さらに、多数の容量素子が設けられている場合には、その周辺部に配置された容量素子が素子間の干渉およびデジタル信号配線等からの雑音による影響を受け易くなっている。

【0003】このような悪影響を低減するべく、従来以下のような技術が提案されている。特開昭63-122166号では、保護絶縁膜（パッシベーション）層の上に導電層を設け、これによりモールド樹脂の不均一による浮遊容量のばらつき、および外部からの電磁波による影響の低減を図っている。また、特開平5-90489号では、上部電極の各辺に対し離間した対向位置に、上部電極と同一の導電材料からなるシールドを配置形成し、これにより回路内部の容量素子間の干渉、あるいは

デジタル信号配線等からの雑音の影響の低減を図っている。

【0004】

【発明が解決しようとする課題】しかしながら、前記の技術にはそれぞれ以下に述べる不都合がある。特開昭63-122166号の技術では、モールド樹脂等の外乱に対するシールド効果は高いものの、回路内部の容量素子間の干渉、あるいはデジタル信号配線等からの雑音の影響をシールドすることはできない。また、従来のプロセスを応用して導電層を設けることが難しく、したがって従来と同一条件のプロセスでは造れないためこの技術を容易に実施することができない。なぜなら、実施しようすると導電層を設けるための製造工程が新たに増え、その分コストアップになってしまうからである。

【0005】特開平5-90489号の技術では、単に上部電極の各辺に対し離間した対向位置にシールドを配置形成しているだけであることから、回路内部の容量素子間の干渉等の影響は低減できるものの、モールド樹脂等の外乱の影響を低減することができず、また、チップ面積を拡大化してしまい、半導体集積回路の微細化、高密度化を損なう結果となってしまう。

【0006】本発明は前記背景に鑑みてなされたもので、その目的とするところは、モールド樹脂等の外乱に対するシールド効果が高く、しかも容量素子間や信号配線からの干渉を低減し得る半導体集積回路を提供することにある。

【0007】

【課題を解決するための手段】本発明における請求項1記載の半導体集積回路では、基板上に容量素子を有した半導体集積回路において、容量素子の上部電極の上に、該上部電極との間に絶縁層を介して容量素子の下部電極に導通する配線層のパターンを形成したことを前記課題の解決手段とした。また、請求項3記載の半導体集積回路では、容量素子の上部電極の上に、該上部電極との間に第1の絶縁層を介して容量素子の下部電極に導通する第1の配線層のパターンを形成し、該第1の配線層のパターンの上に、第2の絶縁層を介して前記下部電極に導通する第2の配線層のパターンを形成したことを前記課題の解決手段とした。

【0008】

【作用】本発明における請求項1記載の半導体集積回路によれば、容量素子の上部電極の上に、絶縁層を介して容量素子の下部電極に導通する配線層のパターンを形成したので、例えば該配線層のパターンをグランド電位とすることにより、該パターンをシールドとして機能させることができ、したがって容量素子間や信号配線からの干渉を低減し、さらに上部電極の上面（保護膜）やモールド樹脂からくる外乱の影響を低減することが可能になる。また、従来の半導体集積回路においても当然必須となる配線層を、前述したようにシールドとして機能させ

ていることから、その製造に際して、例えば該配線層を信号配線となる配線層と同時に形成することが可能になり、したがって従来の製造法に比べ全く新たな工程が増えるといったことがない。

【0009】請求項3記載の半導体集積回路によれば、容量素子の上部電極の上に、第1の絶縁層を介して容量素子の下部電極に導通する第1の配線層のパターンを形成し、該第1の配線層のパターンの上に、第2の絶縁層を介して前記下部電極に導通する第2の配線層のパターンを形成したので、例えば第1の配線層のパターン、第2の配線層のパターンを共にグランド電位とすることにより、これらパターンを二重のシールドとして機能させることができ、したがって容量素子間や信号配線からの干渉を低減し、さらに上部電極の上層（保護膜）やモールド樹脂からくる外乱の影響を低減することが可能になる。また、請求項1記載の半導体集積回路と同様に、従来のものにも必須の配線層をシールドとして利用することから、その製造に際して、従来の製造法に比べ全く新たな工程が増えるといったことがない。

【0010】

【実施例】以下、本発明の半導体集積回路を詳しく説明する。図1(a)(b)は本発明の半導体集積回路の第一の実施例を示す図であり、これらの図において符号1は半導体シリコン基板である。この半導体シリコン基板1には、図1(b)に示すようにその一方の表面上にフィールド酸化膜2が形成され、このフィールド酸化膜2の上には第1ゲートポリシリコン電極3が形成されている。この第1ゲートポリシリコン電極3は、後述する容量素子の下部電極として機能するものである。

【0011】また、第1ゲートポリシリコン電極（下部電極）3の上には、 SiO_2 からなる容量酸化膜（容量誘電体膜）4が形成され、容量酸化膜4の上には第2ゲートポリシリコン電極5が形成されている。第2ゲートポリシリコン電極5は、容量素子の上部電極として機能するものであり、この例では前記第1ゲートポリシリコン電極（下部電極）3、容量酸化膜4とともに容量素子6を構成している。なお、第2ゲートポリシリコン電極5（上部電極）は、図1(a)に示すように第1ゲートポリシリコン電極（下部電極）3より小さく、これにより平面視した場合に第1ゲートポリシリコン電極（下部電極）3の形成位置から外れることなく、その内側に位置したものとなっている。

【0012】第2ゲートポリシリコン電極5の上には本発明の絶縁層となる中間絶縁膜7が形成されており、この中間絶縁膜7にはコンタクト孔8a…、8b…が形成されている。コンタクト孔8aは、中間絶縁膜7の表面側から第2ゲートポリシリコン電極（上部電極）5に通じて形成されたものであり、コンタクト孔8bは、中間絶縁膜7の表面側から第1ゲートポリシリコン電極（下部電極）3に通じて形成されたものである。なお、コン

タクト孔8b…は、容量素子6の周辺部に形成され、これにより第1ゲートポリシリコン電極（下部電極）3を貫通することなく、その外側にて形成されたものとなっている。

【0013】コンタクト孔8a…内から中間絶縁膜7上にかけてはアルミニウム配線層9aが形成され、また、コンタクト孔8b…内から中間絶縁膜7上にかけてはアルミニウム配線層9bが形成されている。アルミニウム配線層9aは、第2ゲートポリシリコン電極（上部電極）5に接続されて信号配線として機能するものであり、一方アルミニウム配線層9bは、第1ゲートポリシリコン電極（下部電極）3に接続されたものである。アルミニウム配線層9bは本発明の配線層となるもので、グランド電位とされたものであり、図1(a)に示すように前記アルミニウム配線層9aのパターン位置およびその周辺部を除く、第1ゲートポリシリコン電極（下部電極）3のほぼ全域を覆うようにして形成されたものである。また、これらアルミニウム配線層9a、9bの上には、該配線層9a、9bのパターンを覆って保護絶縁膜10が形成されている。

【0014】このような構成の半導体集積回路を作製するには、まず、半導体シリコン基板1の表面にLOCOS酸化法等によってフィールド酸化膜2を形成する。次に、フィールド酸化膜2の上にプラズマCVD法等によってポリシリコンを堆積し、これをパターン化して第1ゲートポリシリコン電極（下部電極）3を形成する。次いで、第1ゲートポリシリコン3の上に熱酸化法または熱CVD法によって容量酸化膜4を形成し、さらにこの容量酸化膜4の上にプラズマCVD法等によってポリシリコンを堆積し、これをパターン化して第2ゲートポリシリコン電極（上部電極）5を形成する。次いで、第2ゲートポリシリコン電極5の上にプラズマCVD法等によって中間絶縁膜7を形成する。

【0015】次いで、リソグラフィ法およびエッチング法によって中間絶縁膜7にコンタクトパターンを形成し、コンタクト孔8a…、8b…を得る。次いで、中間絶縁膜7の上、およびコンタクト孔8a…、8b…内に、スパッタリング法またはCVD法によってアルミニウムを堆積し、信号配線となるアルミニウム配線層9aのパターンおよびグランド配線となるアルミニウム配線層9bのパターンを形成する。

【0016】このようにしてアルミニウム配線層9a、9bを形成すると、配線層9aは、コンタクト孔8aによって第2ゲートポリシリコン電極（上部電極）5に接続されて信号配線として機能するものとなる。また、配線層9bは、コンタクト孔7bによって第1ゲートポリシリコン電極（下部電極）3と接続され、これによりグランド電位とされ、グランド配線として機能するものとなる。なお、配線層9bは、第2ゲートポリシリコン電極（上部電極）5のほぼ全域を覆った状態にパターン形

成される。その後、アルミニウム配線層 9 a、9 b の上にプラズマ CVD 法で窒化ケイ素を堆積しこれをパターン化して保護絶縁膜 10 を形成し、本発明の半導体集積回路を得る。

【0017】このようにして得られた半導体集積回路にあっては、グランド電位となるアルミニウム配線層 9 b が第 2 ゲートポリシリコン電極（上部電極）5 を覆ったパターンに形成されているので、該アルミニウム配線層 9 b がシールドとして機能し、これにより容量素子間や信号配線からの干渉を低減し、さらに保護絶縁膜 10 やさらにこれの上に設けられるモールド樹脂（図示略）からくる外乱の影響を低減することができる。

【0018】また、その製造に際して、グランド配線となるアルミニウム配線層 9 b のパターン形成を、信号配線となるアルミニウム配線層 9 a のパターン形成と同時に行えるので、従来の製造法に比べ全く新たな工程が増えるといったことがなく、したがって既存の設備により従来と同様のプロセスで製造することができ、しかも従来と同じ面積で製造することができることから、その微細化、高密度化を損なうことがない。

【0019】図 2 (a) (b) は本発明の半導体集積回路の第二の実施例を示す図である。図 2 に示した半導体集積回路が図 1 に示したものと異なるところは、図 2 に示した半導体集積回路では、シールドとして機能するアルミニウム配線層を 2 層形成した点である。

【0020】すなわち、図 2 に示した半導体集積回路において半導体シリコン基板 11 の表面のフィールド酸化膜 12 上には、第 1 ゲートポリシリコン電極（上部電極）13、容量酸化膜（容量誘電体膜）14、第 2 ゲートポリシリコン電極（上部電極）15 が順次形成されて容量素子 16 が形成されている。そして、第 2 ゲートポリシリコン電極（上部電極）15 の上には第 1 の絶縁膜（第 1 の絶縁層）17 が形成され、この第 1 の絶縁膜 17 にはコンタクト孔 18 a、18 b が形成されている。コンタクト孔 18 a は、第 1 の絶縁膜 17 の表面側から第 2 ゲートポリシリコン電極（上部電極）15 に通じて形成されたものであり、コンタクト孔 18 b は、第 1 の絶縁膜 17 の表面側から第 1 ゲートポリシリコン電極（下部電極）13 に通じて形成されたものである。

【0021】これらコンタクト孔 18 a、18 b 内から第 1 の絶縁膜 17 上にかけては、第 1 層のアルミニウム配線層 19 a、19 b が形成されている。配線層 19 a は、第 2 ゲートポリシリコン電極（上部電極）15 に接続されて信号配線として機能するものであり、一方配線層 19 b は、第 1 ゲートポリシリコン電極（下部電極）13 に接続され、かつグランド配線とされるものである。すなわち、配線層 19 b は本発明における第 1 の配線層となるもので、グランド電位とされることによってその下に形成された容量素子をシールドするものとなっている。

【0022】また、第 1 層のアルミニウム配線層 19 a、19 b の上には、第 2 の絶縁膜（第 2 の絶縁層）20 が形成されており、この第 2 の絶縁膜 20 にはコンタクト孔 21 が形成されている。コンタクト孔 21 は、第 2 の絶縁膜 20 の表面側から第 1 層のアルミニウム配線層 19 b に通じて形成されたものであり、コンタクト孔 21 内から第 2 の絶縁膜 20 にかけては、本発明の第 2 の配線層となる第 2 層のアルミニウム配線層 22 が形成されている。この配線層 22 は、図 2 (a) に示すように第 2 ゲートポリシリコン電極（上部電極）15 のほぼ全域を覆って形成されたもので、かつ前記第 1 層のアルミニウム配線層 19 b に導通するとともに、該配線層 19 b を介して第 1 ゲートポリシリコン電極（下部電極）13 に導通するものであり、配線層 19 b と同様にグランド電位とされたものである。

【0023】そして、このように配線層 22 はグランド電位とされ、かつ第 2 ゲートポリシリコン電極（上部電極）15 のほぼ全体を覆っていることから、該配線層 22 は容量素子 16 全体をシールドするものとなっている。また、このアルミニウム配線層 22 の上には、そのパターンを覆って保護絶縁膜 23 が形成されている。

【0024】このような構成の半導体集積回路を作製するには、図 1 に示した半導体集積回路と同様にして、半導体シリコン基板 11 の表面上にフィールド酸化膜 12 を介して第 1 ゲートポリシリコン電極（下部電極）13、容量酸化膜 14、第 2 ゲートポリシリコン電極（上部電極）15 からなる容量素子 16 を形成する。次いで、第 2 ゲートポリシリコン電極 15 の上にプラズマ CVD 法等によって第 1 の絶縁膜 17 を形成し、さらにこれに、リソグラフィ法およびエッチング法によってコンタクトパターンを形成し、コンタクト孔 18 a、18 b を得る。次いで、第 1 の絶縁膜 17 の上、およびコンタクト孔 18 a、18 b 内に、スパッタリング法または CVD 法によってアルミニウムを堆積し、信号配線となる第 1 層のアルミニウム配線層 19 a のパターンおよびグランド配線となる第 1 層のアルミニウム配線層 19 b のパターンを形成する。

【0025】次いで、これら配線層 19 a、19 b の上にプラズマ CVD 法等によって第 2 の絶縁膜 20 を形成し、さらにこれに、リソグラフィ法およびエッチング法によってコンタクトパターンを形成し、コンタクト孔 21 を得る。次いで、第 2 の絶縁膜 20 の上、およびコンタクト孔 21 内に、スパッタリング法または CVD 法によってアルミニウムを堆積し、グランド配線となる第 2 層のアルミニウム配線層 22 のパターンを形成する。その後、アルミニウム配線層 19 a、19 b の上にプラズマ CVD 法で窒化ケイ素を堆積しこれをパターン化して保護絶縁膜 23 を形成し、本発明の半導体集積回路を得る。

【0026】このようにして得られた半導体集積回路に

あつては、グラウンド電位となる第1層のアルミニウム配線層19b、第2層のアルミニウム配線層22が第2ゲートポリシリコン電極（上部電極）5を二重に覆ったパターンに形成されているので、これらアルミニウム配線層19b、アルミニウム配線層22がシールドとして機能し、これにより容量素子間や信号配線からの干渉を一層低減し、さらに保護絶縁膜23やさらにこれの上に設けられるモールド樹脂（図示略）からくる外乱の影響をも一層低減することができる。

【0027】また、その製造に際して、グラウンド配線となるアルミニウム配線層19bのパターン形成を、信号配線となるアルミニウム配線層19aのパターン形成と同時に、しかも半導体集積回路の微細化、高密度化に伴って多層化される配線層のうちの第2層（あるいは第3層以上）のパターンをシールドとして利用しているので、従来の製造法に比べ全く新たな工程が増えるといったことがなく、したがって既存の設備により従来と同様のプロセスで製造することができ、しかも従来と同じ面積で製造することができることから、その微細化、高密度化を損なうことがない。

【0028】なお、前記図1、図2に示した実施例では、基板としていずれも半導体シリコン基板を用いたが、これに代えてガラス基板等を用いてもよいのはもちろんである。また、図2に示した実施例では、第2層のアルミニウム配線層22を、第1層のアルミニウム配線層19bを介して第1ゲートポリシリコン電極（下部電極）13に導通させたが、第1層のアルミニウム配線層19bを介することなく、直接電極13に導通させてもよい。

【0029】

【発明の効果】以上説明したように本発明における請求項1記載の半導体集積回路は、容量素子の上部電極の上に、絶縁層を介して容量素子の下部電極に導通する配線層のパターンを形成したものであるから、例えば該配線層のパターンをグラウンド電位とすることにより、特別にシールド層を設けなくとも該パターンをシールドとして機能させることができ、したがって容量素子間や信号配線からの干渉を低減し、さらに上部電極の上層（保護膜）やモールド樹脂からくる外乱の影響を低減することができる。

【0030】また、従来の半導体集積回路においても当然必須となる配線層をシールドとして機能させたものであることから、その製造に際して、例えば該配線層を信号配線となる配線層と同時に形成することが可能になり、したがって従来の製造法に比べ全く新たな工程が増えるといったことがなく、このため既存の設備によって従来と同様のプロセスで製造することができ、これにより製造コストの上昇を抑えることができる。しかも、従来と同じ面積で製造することができることから、半導体

集積回路そのものの微細化、高密度化を損なうこともなくなる。

【0031】請求項3記載の半導体集積回路は、容量素子の上部電極の上に、第1の絶縁層を介して容量素子の下部電極に導通する第1の配線層のパターンを形成し、該第1の配線層のパターンの上に、第2の絶縁層を介して前記下部電極に導通する第2の配線層をパターンを形成したものであるから、例えば第1の配線層のパターン、第2の配線層のパターンを共にグラウンド電位とすることにより、これらパターンを二重のシールドとして機能させることができ、したがって容量素子間や信号配線からの干渉をより確実に低減し、さらに上部電極の上層（保護膜）やモールド樹脂からくる外乱の影響をもより確実に低減することができる。

【0032】また、請求項1記載の半導体集積回路と同様に、従来のものにも必須の配線層をシールドとして利用することから、その製造に際して、従来の製造法に比べ全く新たな工程が増えるといったことがなく、したがってその製造コストの上昇を抑えることができるとともに、半導体集積回路そのものの微細化、高密度化を損なうこともなくなる。

【0033】そして、このような利点から、前述した本発明の半導体集積回路は例えばCMOS1層メタル2層ポリシリコンプロセスで構成されるアナログ集積回路として好適に用いられ、特に、高精度を必要とするスイッチトキャパシタフィルタ回路、RCアクティブフィルタ回路、AD/DA変換回路、PLL回路および基準電圧発生回路で利用されるアナログ集積回路として好適に用いられるものとなる。

【図面の簡単な説明】

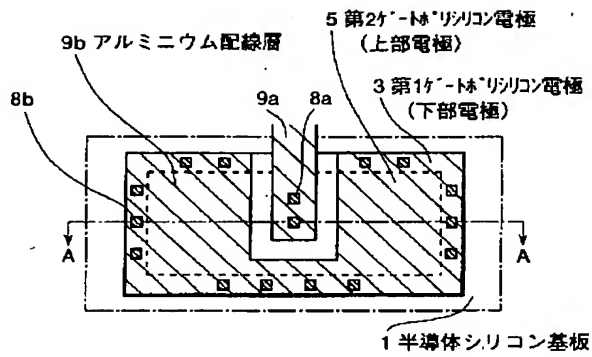
【図1】本発明の第一の実施例を示す図であり、図1(a)は半導体集積回路の要部平断面図、図1(b)は、図1(a)のA-A線矢視断面図である。

【図2】本発明の第二の実施例を示す図であり、図2(a)は半導体集積回路の要部平断面図、図2(b)は、図2(a)のB-B線矢視断面図である。

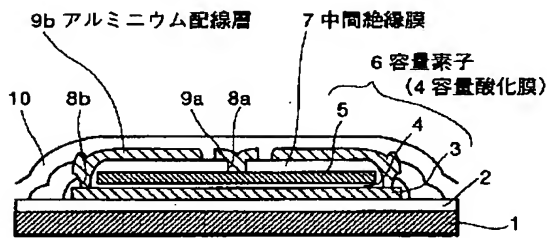
【符号の説明】

- 1、11 半導体シリコン基板
- 3、13 第1ゲートポリシリコン電極（下部電極）
- 4、14 容量酸化膜（容量誘電体膜）
- 5、15 第2ゲートポリシリコン電極（上部電極）
- 6、16 容量素子
- 7 中間絶縁膜
- 9b アルミニウム配線層
- 17 第1の絶縁膜（第1の絶縁層）
- 19b 第1層のアルミニウム配線層（第1の配線層）
- 20 第2の絶縁膜（第2の絶縁層）
- 22 第2層のアルミニウム配線層（第2の配線層）

【図 1】



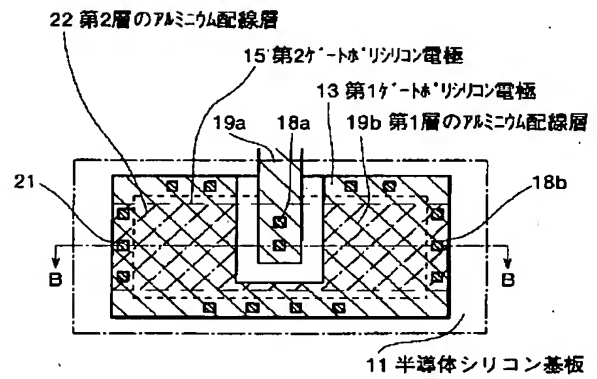
(a)



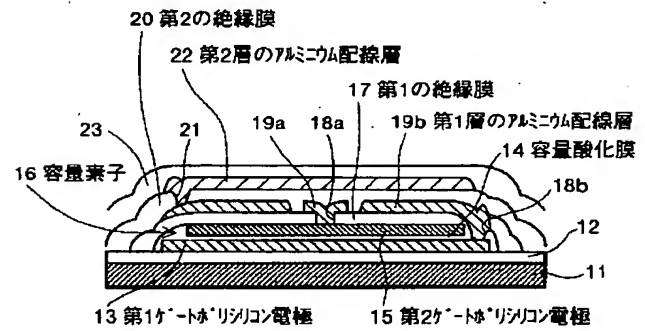
(b)

本発明の第一の実施例を説明するための図

【図 2】



(a)



(b)

本発明の第二の実施例を説明するための図